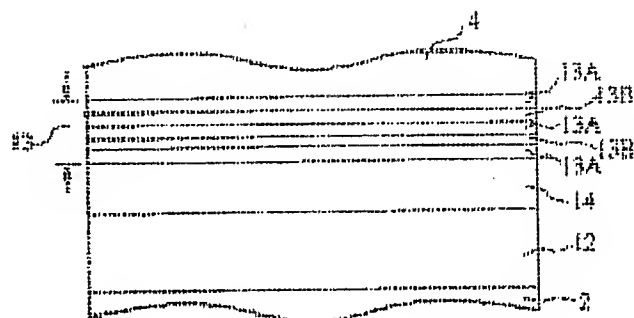
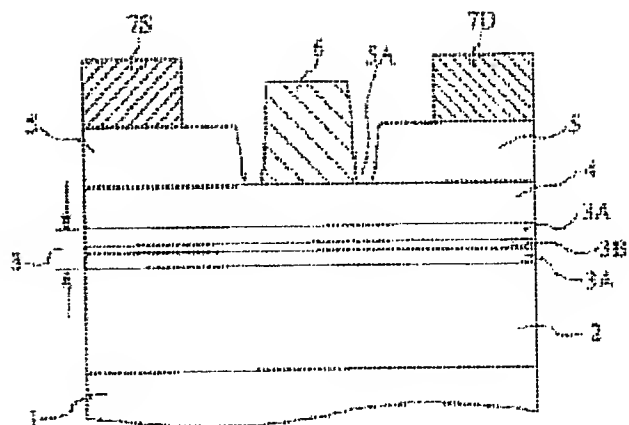


Abstract of JP 8279609 (A)

PURPOSE: To increase the density of two-dimensional carrier gas formed in a distorted channel layer from a carrier feeding layer by a method wherein at least a compound semiconductor distorted layer, having a lattice constant equal to a substrate, is introduced into the compound semiconductor distorted layer. **CONSTITUTION:** In this high electron mobility semiconductor device HEMT, a compound semiconductor distorted channel layer, for example, a substrate in an i-InGaAs distorted layer 3A, compound semiconductor distortion alleviating layer having a lattice constant equal to a semiinsulating GaAs substrate 1, a channel laminated body in which at least a layer of an i-InGaAs distortion alleviating layer is introduced, and a channel laminated body 3 are provided. Also, a compound semiconductor distortion alleviating layer formed by the material having the distortion opposing to the compound semiconductor distorted channel layer such as a channel laminated body, in which at least a layer of an i-InGaP distortion alleviating layer 13B is introduced and a channel laminated body 13, for example, are provided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-279609

(43) 公開日 平成8年(1996)10月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778		7376-4M	H 0 1 L 29/80	H
21/338				
29/812				

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願平7-82180

(22) 出願日 平成7年(1995)4月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 彦坂 康己

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

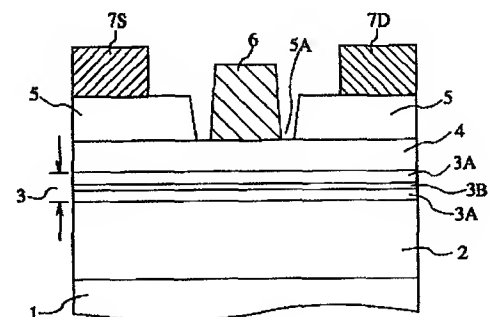
(54) 【発明の名称】 高電子移動度半導体装置

(57) 【要約】

【目的】 高電子移動度半導体装置に関し、シングル、ダブル、マルチ、何れのチャネル構造をもつHEMTに於いても、歪み格子型の二次元キャリア・ガスを利用した場合の問題、即ち、その歪み格子型に起因するチャネル幅に対する制限を解消し、キャリア供給層から歪みチャネル層内に生成される二次元キャリア・ガス層に供給されるキャリアの濃度を増大できるように、或いは、チャネルへのキャリアの滲み出しを抑制できるようにし、その結果、大電流を流し得るようにして、高出力化及び諸特性の向上を実現させる。

【構成】 $i\text{-In}_{0.3}\text{Ga}_{0.7}\text{As}$ 歪みチャネル層3A内に半絶縁性GaAs基板1と格子定数が等しい $i\text{-GaAs}$ 歪み緩和層3Bの少なくとも一層を導入したチャネル積層体3を備える。

一実施例を説明する為のHEMTを表す要部切断側面図



- 1: 基板
- 2: バッファ層
- 3: チャネル積層体
- 3A: 歪みチャネル層
- 3B: 歪み緩和層
- 4: 電子供給層
- 5: 電極コンタクト層
- 5A: リセス
- 6: ゲート電極
- 7S: ソース電極
- 7D: ドレイン電極

【特許請求の範囲】

【請求項1】化合物半導体歪みチャネル層内に基板と格子定数が等しい化合物半導体歪み緩和層の少なくとも一層を導入したチャネル積層体を備えてなることを特徴とする高電子移動度半導体装置。

【請求項2】化合物半導体歪みチャネル層内に該化合物半導体歪みチャネル層と反対方向の歪みをもつ材料からなる化合物半導体歪み緩和層の少なくとも一層を導入したチャネル積層体を備えてなることを特徴とする高電子移動度半導体装置。

【請求項3】GaAs基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がGaAsからなることを特徴とする請求項1記載の高電子移動度半導体装置。

【請求項4】GaAs基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がInPのモル比が0.5以下のInGaPからなることを特徴とする請求項2記載の高電子移動度半導体装置。

【請求項5】InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がInPからなることを特徴とする請求項1記載の高電子移動度半導体装置。

【請求項6】InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がInGaP又はGaPからなることを特徴とする請求項2記載の高電子移動度半導体装置。

【請求項7】InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がAlAsのモル比が0.5以上のInAlAsからなることを特徴とする請求項2記載の高電子移動度半導体装置。

【請求項8】InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がGaAsのモル比が0.5~1までのInGaAsからなることを特徴とする請求項2記載の高電子移動度半導体装置。

【請求項9】複数のチャネル積層体間にキャリア供給層を挟んで積層してなることを特徴とする請求項1乃至8の何れか1項記載の高電子移動度トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロ波帯に於ける高出力半導体装置として用いることが可能なように大電流を流し得るようにした高電子移動度半導体装置に関する。

【0002】一般に、移動体通信分野では、携帯電話など民生用の通信機器の利用が盛んになりつつあり、そのような民生用通信機器の分野でもマイクロ波高出力素子の適用が活発化している。

【0003】携帯電話などでは、電源が電池であることから容量が制限されるので、前記のような高出力素子に対する低電圧化或いは高効率化などの性能改善が厳しく要求されている。

【0004】本発明はマイクロ波帯で優れた性能を発揮している高電子移動度トランジスタ (high electron mobility transistor: HEMT) を改善して前記要求に対応する。

【0005】

【従来の技術】HEMTを高出力化する手段としては、ダブル・チャネル構造或いはマルチ・チャネル構造を採用し、大きな電流を流せるようにした事例が多い。

【0006】また、大きな電子濃度の二次元電子ガスを実現することができる材料系、例えば、AlGaAs (キャリア供給層) / InGaAs (チャネル層) で代表される材料系を採用して、歪み格子型の二次元電子ガスを利用することも行われている。

【0007】

【発明が解決しようとする課題】例えば、AlGaAs / InGaAs系の歪み格子型HEMTに於いては、二次元電子ガスが歪み層であるInGaAs層に生成される。

【0008】GaAs基板上にInGaAs層を成長させる場合、InGaAs層は下地のGaAs基板と格子定数が異なる為、歪み応力を受けつつ下地の材料と同程度の格子定数で結晶成長する。

【0009】歪み格子型HEMTに於いては、前記の結晶成長を利用しているのであるが、その場合、InGaAsチャネル層の層厚には限界があり、臨界層厚を越えると転位が発生する為、それ以下の層厚にしなければならない。

【0010】従って、InGaAsに於けるInAsのモル比や層厚に関する選択の自由度は少なく、例えば、InAs=0.3の場合には、層厚を80[Å]以下にしなければならない。

【0011】この為、ダブル・ヘテロ接合を有する歪み格子型HEMTを製造する際、InAs=0.3にした場合、チャネル幅(厚さ)を80[Å]以下に選択する必要がある、量子井戸内の基底エネルギー・レベルが大きく上昇し、従って、二次元電子濃度が小さく、且つ、AlGaAs中への電子のしみ出しが大きくなって電子移動度が低下する旨の問題が生ずる。

【0012】本発明は、シングル、ダブル、マルチ、何れのチャネル構造をもつHEMTに於いても、歪み格子型の二次元キャリア・ガスを利用した場合の問題、即ち、その歪み格子型に起因するチャネル幅に対する制限を解消し、キャリア供給層から歪みチャネル層内に生成される二次元キャリア・ガス濃度を増大できるように、或いは、チャネルへのキャリアのしみ出しを抑制できるようにし、その結果、大電流を流し得るようにして、高

出力化及び諸特性の向上を実現させる。

【0013】

【課題を解決するための手段】本発明のHEMTでは、キャリア濃度を大きくとれる歪み格子型の二次元キャリア・ガスを利用するのであるが、前記したように、その歪みチャネル層に由来する問題が存在する。

【0014】そこで、下地（基板）と一致する格子定数をもつ半導体層と前記歪みチャネル層とを交互に積層したり、或いは、前記歪みチャネル層とは反対の応力をもつ材料からなる半導体層と前記歪みチャネル層とを交互に積層するなどして歪みチャネル層に於ける臨界層厚の制限を緩和することが基本になっている。

【0015】これに依って、チャネルであるキャリア走行層の幅（厚さ）を疑似的に大きくして、キャリア供給層から二次元キャリア・ガス層に遷移するキャリアの濃度を増大させたり、或いは、キャリアのしみ出しを抑制して大きな電流を流すことを可能とし、また、特性を改善している。

【0016】ここで、歪みを緩和する為の指針を挙げると、基板の格子定数に対する歪みチャネル層の格子定数との差に依って、引っ張り応力に依る歪み σ_t 、或いは、圧縮応力に依る歪み σ_c を用い、なるべく、 $d_t \cdot \sigma_t + d_c \cdot \sigma_c \sim 0$ （ d_t 及び d_c は各材料の層厚）程度となるように選択する。

【0017】前記式は、正負の何れかにズレていても差し支えない。即ち、前記式が、転位を発生する臨界層厚に対応する（応力×臨界層厚）積の以内であれば、前記式が零にならずに、多少、正負にズレていても問題はなく、その場合、チャネル層全体に若干の応力が残ることになる。

【0018】前記したところから、本発明に依るHEMT（高電子移動度半導体装置）に於いては、（1）化合物半導体歪みチャネル層（例えば $i\text{-In}_{0.3}\text{Ga}_{0.7}\text{As}$ 歪みチャネル層3A）内に基板（例えば半絶縁性GaAs基板1）と格子定数が等しい化合物半導体歪み緩和層（例えば $i\text{-GaAs}$ 歪み緩和層3B）の少なくとも一層を導入したチャネル積層体（例えばチャネル積層体3）を備えてなることを特徴とするか、或いは、

【0019】（2）化合物半導体歪みチャネル層内に該化合物半導体歪みチャネル層と反対方向の歪みをもつ材料からなる化合物半導体歪み緩和層（例えば $i\text{-In}_{0.05}\text{Ga}_{0.95}\text{P}$ 歪み緩和層13B）の少なくとも一層を導入したチャネル積層体（例えばチャネル積層体13）を備えてなることを特徴とするか、或いは、

【0020】（3）前記（1）に於いて、GaAs基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がGaAsからなることを特徴とするか、或いは、

【0021】（4）前記（2）に於いて、GaAs基板上に在る化合物半導体歪みチャネル層がInGaAsか

らなり且つ化合物半導体歪み緩和層がInPのモル比が0.5以下のInGaPからなることを特徴とするか、或いは、

【0022】（5）前記（1）に於いて、InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がInPからなることを特徴とするか、或いは、

【0023】（6）前記（2）に於いて、InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がInGaP又はGaPからなることを特徴とするか、或いは、

【0024】（7）前記（2）に於いて、InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がAlAsのモル比が0.5以上のInAlAsからなることを特徴とするか、或いは、

【0025】（8）前記（2）に於いて、InP基板上に在る化合物半導体歪みチャネル層がInGaAsからなり且つ化合物半導体歪み緩和層がGaAsのモル比が0.5～1までのInGaAsからなることを特徴とするか、或いは、

【0026】（9）前記（1）乃至（8）の何れか一つに於いて、複数のチャネル積層体間にキャリア供給層を挟んで積層してなることを特徴とする。

【0027】

【作用】前記手段を採ることに依り、HEMTの大電流化を図る為、歪みチャネル層を用いているにも拘わらず、結晶に転位を発生させることなく、チャネル幅を実質的に増大させることができ、その結果、キャリア供給層から二次元キャリア・ガス層へのキャリア遷移は大きくなってキャリア濃度が高められ、従って、大きな電流を流すことが可能となり、低電圧動作の下でも、容易に高出力を実現することができ、移動体通信分野など、電源に電池を用いなければならない分野で使用する機器には好適である。

【0028】

【実施例】図1は本発明に於ける一実施例を説明する為のHEMTを表す要部切断側面図である。図に於いて、1は基板、2はバッファ層、3はチャネル積層体、3Aは歪みチャネル層、3Bは歪み緩和層、4は電子供給層、5は電極コンタクト層、5Aはリセス、6はゲート電極、7Sはソース電極、7Dはドレイン電極をそれぞれ示している。尚、ここに挙げたHEMTは、シングル・チャネル構造と呼ぶことにする。

【0029】図示された各部分に関する主要なデータを例示すると次の通りである。

（1） 基板1について

材料：半絶縁性GaAs

（2） バッファ層2について

材料： $i\text{-GaAs}$

厚さ: 1 [μm]

【0030】(3) チャネル積層体3について
歪みチャネル層3A内に一層の歪み緩和層3Bを介在させてシングル・チャネル構造にしてある。

(4) 歪みチャネル層3Aについて

材料: $i\text{-In}_{0.3}\text{Ga}_{0.7}\text{As}$

厚さ: 8 [nm]

応力: 圧縮(負歪み)

【0031】(5) 歪み緩和層3Bについて

材料: $i\text{-GaAs}$

厚さ: 3 [nm]

(6) 電子供給層4について

材料: $n\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$

不純物濃度: $2 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 40 [nm]

【0032】(7) 電極コンタクト層5について

材料: $n^+ \text{-GaAs}$

不純物濃度: $2 \times 10^{19} [\text{cm}^{-3}]$

厚さ: 0.1 [μm]

(8) ゲート電極6について

材料: WSi/Au

厚さ: 0.2 [μm]/0.3 [μm]

ゲート幅: 200 [μm]

尚、ゲート長は0.25 [μm]である。

【0033】(9) ソース電極7Sについて

材料: AuGe/Au

厚さ: 30 [nm]/300 [nm]

【0034】(10) ドレイン電極7Dについて

ソース電極7Sと同じ

【0035】図1に見られる本発明一実施例のHEMTを製造する工程の概略を説明する。

(1) 有機金属化学気相成長(metalorganic chemical vapour deposition: MOCVD)法を適用することに依り、基板1上にバッファ層2、チャネル積層体3、電子供給層4、電極コンタクト層5をそれぞれ成長させる。

【0036】(2) リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを塩素系ガスとする反応性イオン・エッチング(reactive ion etching: RIE)法を適用することに依り、電極コンタクト層5にリセス5Aを形成する。

【0037】(3) スパッタリング法を適用することに依り、 WSi 膜及び Au 膜を全面に堆積させる。

【0038】(4) リソグラフィ技術に於けるレジスト・プロセス、及び、 Ar イオンを用いたイオン・ミリング法を適用することに依り、 WSi 膜及び Au 膜のミリングを行って、T型断面構造など、任意の断面形状をもつゲート電極6を形成する。

【0039】(5) リソグラフィ技術に於けるレジスト・プロセス、蒸着法、リフト・オフ法を適用すること

に依って、厚さが30 [nm]/300 [nm]の AuGe/Au 膜からなるソース電極7S及びドレイン電極7Dを形成する。

【0040】(6) 温度を400 [$^{\circ}\text{C}$]として、ソース電極7S及びドレイン電極7Dの合金化熱処理を行う。

【0041】前記実施例に於いて、電子供給層4として $n\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ を用いたが、これは、 $n\text{-In}_{0.49}\text{Ga}_{0.51}\text{P}$ に代替しても良く、また、正孔供給層に変更するには、例えば、

【0042】材料: $p\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$

不純物濃度: $3 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 50 [nm]

とし、また、電極コンタクト層は、例えば、

【0043】材料: $p^+ \text{-GaAs}$

不純物濃度: $3 \times 10^{19} [\text{cm}^{-3}]$

厚さ: 0.1 [μm]

とし、また、ソース電極及びドレイン電極は、例えば、

【0044】材料: AuZn

厚さ: 300 [nm]

とする。

【0045】本実施例では、基板の同一の材料、即ち、 GaAs で構成された歪み緩和層を導入しているため、他の新たな材料を結晶成長させる必要がなく、その実施は極めて容易であり、また、従来の歪みチャネルに比較すると2倍程度の厚さをもつことになり、従って、二次元電子濃度も増大するので、大電流化を実現できる。

【0046】図2は本発明に於ける他の実施例を説明する為のHEMTを表す要部切断断面図であり、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、また、バッファ層2から下の部分、及び、最上層の電子供給層から上の部分は図1と同じであるから省略してある。

【0047】(A)に於いて、12はバッファ層、13はチャネル積層体、13Aは歪みチャネル層、13Bは歪み緩和層、14は電子供給層をそれぞれ示している。尚、ここで挙げたHEMTは、ダブル・チャネル構造と呼ぶことにする。

【0048】図示された各部分に関する主要なデータを例示すると次の通りである。

(1) バッファ層12について

材料: $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$

厚さ: 500 [nm]

(2) チャネル積層体13について

3層の歪みチャネル層13Aと2層の歪み緩和層13Bとを積層してダブル・チャネル構造にしてある。

【0049】(3) 歪みチャネル層13Aについて

材料: $i\text{-In}_{0.2}\text{Ga}_{0.8}\text{As}$

厚さ: 10 [nm]

応力: 圧縮(負歪み)

(4) 歪み緩和層13Bについて

材料: $i\text{-In}_{0.05}\text{Ga}_{0.95}\text{P}$

厚さ: 4.5 [nm]

応力: 引っ張り (正歪み)

【0050】(5) 電子供給層14について

材料: $n\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 不純物濃度: $2 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 50 [nm]

【0051】(B)に於いて、15は電子供給層、16はチャンネル積層体、16Aは歪みチャンネル層、16Bは歪み緩和層、17は電子供給層、18は電子供給層をそれぞれ示している。尚、ここで挙げたHEMTは、マルチ・チャンネル構造と呼ぶこととし、また、図1及び図2(A)に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0052】図示された各部分に関する主要なデータを例示すると次の通りである。

(1) 電子供給層15について

材料: $n\text{-In}_{0.49}\text{Ga}_{0.51}\text{P}$ 不純物濃度: $2 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 50 [nm]

(2) チャンネル積層体16について

歪み緩和層16Bの上下を歪みチャンネル層16Aで挟み、この一對を電子供給層17を介して積層してマルチ・チャンネル構造にしてある。

【0053】(3) 歪みチャンネル層16Aについて

材料: $i\text{-In}_{0.2}\text{Ga}_{0.8}\text{As}$

厚さ: 8 [nm]

応力: 圧縮 (負歪み)

(4) 歪み緩和層16Bについて

材料: $i\text{-In}_{0.2}\text{Ga}_{0.8}\text{P}$

厚さ: 8 [nm]

応力: 引っ張り (正歪み)

【0054】(5) 電子供給層17について

電子供給層15に同じ

(6) 電子供給層18について

材料: $n\text{-In}_{0.49}\text{Ga}_{0.51}\text{P}$ 不純物濃度: $2 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 40 [nm]

【0055】図2に見られる各実施例では、正歪みをもつ $i\text{-InGaP}$ からなる歪み緩和層を用いているので、歪みチャンネル層の歪みは、正負交互の歪みに依って緩和され、転位が発生することはなく、また、何れの場合も、単層の InGaAs チャンネル層の場合に比較し、層厚を2倍〜3倍以上も厚くすることができ、従って、二次元キャリア・ガス濃度も増加させることが可能であって、20 [%] から2倍程度まで増加可能である。

【0056】図3は本発明に於ける他の実施例を説明する為のHEMTを表す要部切断側面図である。図に於いて、21は基板、22はバッファ層、23はチャンネル積

層体、23Aは歪みチャンネル層、23Bは歪み緩和層、24は電子供給層、25は電極コンタクト層、25Aはリセス、26はゲート電極、27Sはソース電極、27Dはドレイン電極をそれぞれ示している。尚、ここに挙げたHEMTもシングル・チャンネル構造である。

【0057】図示された各部分に関する主要なデータを例示すると次の通りである。

(1) 基板21について

材料: 半絶縁性 InP

(2) バッファ層22について

材料: $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ 厚さ: 0.1 [μm]

【0058】(3) チャンネル積層体23について

歪みチャンネル層23A内に一層の歪み緩和層23Bを介在させてシングル・チャンネル構造にしてある。

(4) 歪みチャンネル層23Aについて

材料: $i\text{-In}_{0.7}\text{Ga}_{0.3}\text{As}$

厚さ: 10 [nm]

応力: 圧縮 (負歪み)

【0059】(5) 歪み緩和層23Bについて

材料: $i\text{-In}_{0.2}\text{Ga}_{0.8}\text{As}$

厚さ: 8 [nm]

応力: 引っ張り (正歪み)

(6) 電子供給層24について

材料: $n\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ 不純物濃度: $5 \times 10^{17} [\text{cm}^{-3}]$ 厚さ: 40 [nm]

【0060】(7) 電極コンタクト層25について

材料: $n^+\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 不純物濃度: $2 \times 10^{19} [\text{cm}^{-3}]$ 厚さ: 0.1 [μm]

(8) ゲート電極26について

材料: Al 厚さ: 0.25 [μm]ゲート幅: 100 [μm]

【0061】(9) ソース電極27Sについて

材料: AuGe

厚さ: 300 [nm]

【0062】(10) ドレイン電極27Dについて

ソース電極27Sに同じ

【0063】図4は本発明に於ける他の実施例を説明する為のHEMTを表す要部切断側面図であり、図3に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、また、バッファ層22から下の部分、及び、最上層の電子供給層から上の部分は図3と同じであるから省略してある。

【0064】(A)に於いて、33はチャンネル積層体、33Aは歪みチャンネル層、33Bは歪み緩和層、34は電子供給層をそれぞれ示している。尚、ここで挙げたHEMTは、ダブル・チャンネル構造である。

【0065】図示された各部分に関する主要なデータを

例示すると次の通りである。

(1) チャネル積層体33について

3層の歪みチャネル層33Aと2層の歪み緩和層33Bとを積層してダブル・チャネル構造にしてある。

【0066】(3) 歪みチャネル層33Aについて

材料: $i\text{-In}_{0.7}\text{Ga}_{0.3}\text{As}$

厚さ: 7 [nm]

応力: 圧縮 (負歪み)

(4) 歪み緩和層33Bについて

材料: $i\text{-GaAs}$

厚さ: 4 [nm]

応力: 引っ張り (正歪み)

【0067】(5) 電子供給層34について

材料: $n\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$

不純物濃度: $5 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 40 [nm]

【0068】本実施例に於いては、歪み緩和層33Bの材料を $i\text{-GaAs}$ としたが、これは、 $i\text{-In}_{0.1}\text{Ga}_{0.9}\text{As}$ に代替することができ、その場合、厚さは6 [nm] にすると良い。

【0069】(B) に於いて、35は電子供給層、36はチャネル積層体、36Aは歪みチャネル層、36Bは歪み緩和層、37は電子供給層をそれぞれ示している。尚、ここで挙げたHEMTはマルチ・チャネル構造であって、また、図3並びに図4(A)に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0070】図示された各部分に関する主要なデータを例示すると次の通りである。

(1) 電子供給層35について

材料: $n\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$

不純物濃度: $5 \times 10^{17} [\text{cm}^{-3}]$

厚さ: 50 [nm]

(2) チャネル積層体36について

歪み緩和層36Bの上下を歪みチャネル層36Aで挟み、この一対を電子供給層37を介して積層してマルチ・チャネル構造にしてある。

【0071】(3) 歪みチャネル層36Aについて

材料: $i\text{-In}_{0.65}\text{Ga}_{0.35}\text{As}$

厚さ: 10 [nm]

応力: 圧縮 (負歪み)

(4) 歪み緩和層36Bについて

材料: $i\text{-GaP}$

厚さ: 3 [nm]

応力: 引っ張り (正歪み)

【0072】(5) 電子供給層37について

材料: $n\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$

不純物濃度: $5 \times 10^{17} [\text{cm}^{-3}]$

厚さ: 40 [nm]

【0073】本実施例に於いては、歪み緩和層36Bの

材料に $i\text{-GaP}$ を用いたが、これは、 $i\text{-In}_{0.49}\text{Ga}_{0.51}\text{As}$ に代替することができ、その場合、厚さは5 [nm] にすると良く、また、 $i\text{-GaAs}$ に代替することもでき、その場合、厚さは4 [nm] にすると良い。

【0074】図4に見られる各実施例では、正歪みをもつ $i\text{-GaP}$ からなる歪み緩和層を用いているので、歪みチャネル層の歪みは、正負交互の歪みに依って緩和され、転位が発生することはない、また、何れの場合も、単層の InGaAs チャネル層の場合に比較し、層厚を2倍~3倍以上も厚くすることができ、従って、二次元キャリア・ガス濃度も増加させることができ、20 [%] から2倍程度まで増加可能である。

【0075】

【発明の効果】本発明に依る高電子移動度半導体装置に於いては、化合物半導体歪みチャネル層内に基板と格子定数が等しいか、或いは、該化合物半導体歪みチャネル層と反対方向の歪みをもつ材料からなる化合物半導体歪み緩和層の少なくとも一層を導入したチャネル積層体を備える。

【0076】前記構成を採ることに依り、HEMTの大電流化を図る為、歪みチャネル層を用いているにも拘わらず、結晶に転位を発生させることなく、チャネル幅を実質的に増大させることができ、その結果、キャリア供給層から二次元キャリア・ガス層へのキャリア遷移は大きくなってキャリア濃度が高められ、従って、大きな電流を流すことが可能となり、低電圧動作の下でも、容易に高出力を実現することができ、移動体通信分野など、電源に電池を用いなければならない分野で使用する機器には好適である。

【図面の簡単な説明】

【図1】本発明に於ける一実施例を説明する為のHEMTを表す要部切断側面図である。

【図2】本発明に於ける他の実施例を説明する為のHEMTを表す要部切断側面図である。

【図3】本発明に於ける他の実施例を説明する為のHEMTを表す要部切断側面図である。

【図4】本発明に於ける他の実施例を説明する為のHEMTを表す要部切断側面図である。

【符号の説明】

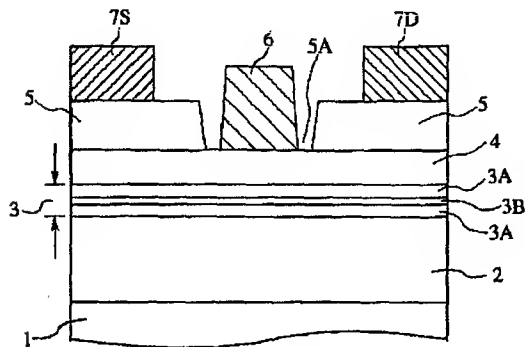
- 1 基板
- 2 バッファ層
- 3 チャネル積層体
- 3A 歪みチャネル層
- 3B 歪み緩和層
- 4 電子供給層
- 5 電極コンタクト層
- 5A リセス
- 6 ゲート電極
- 7S ソース電極

7D ドレイン電極
21 基板
22 バッファ層
23 チャンネル積層体
23A 歪みチャンネル層
23B 歪み緩和層

24 電子供給層
25 電極コンタクト層
25A リセス
26 ゲート電極
27S ソース電極
27D ドレイン電極

【図1】

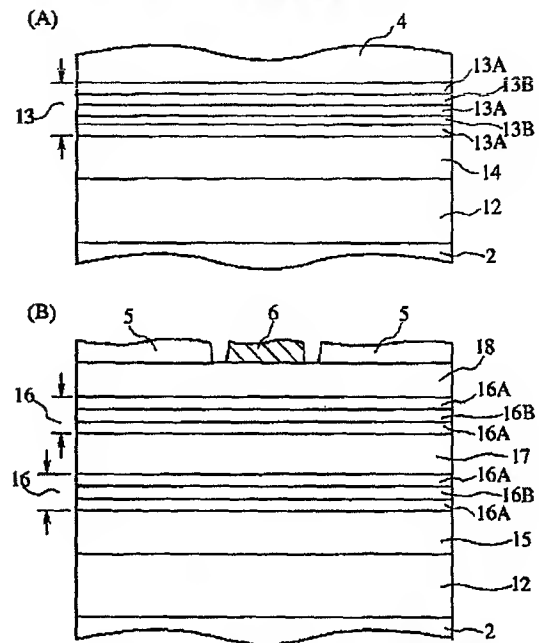
一実施例を説明する為のHEMTを表す要部切断側面図



1: 基板
2: バッファ層
3: チャンネル積層体
3A: 歪みチャンネル層
3B: 歪み緩和層
4: 電子供給層
5: 電極コンタクト層
5A: リセス
6: ゲート電極
7S: ソース電極
7D: ドレイン電極

【図2】

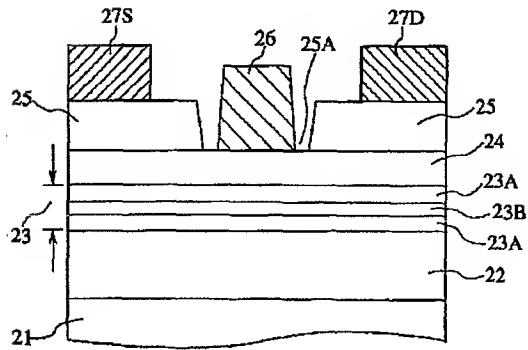
他の実施例を説明する為のHEMTを表す要部切断側面図



12: バッファ層
13: チャンネル積層体
13A: 歪みチャンネル層
13B: 歪み緩和層
14: 電子供給層
15: 電子供給層
16: チャンネル積層体
16A: 歪みチャンネル層
16B: 歪み緩和層
17: 電子供給層
18: 電子供給層

【図3】

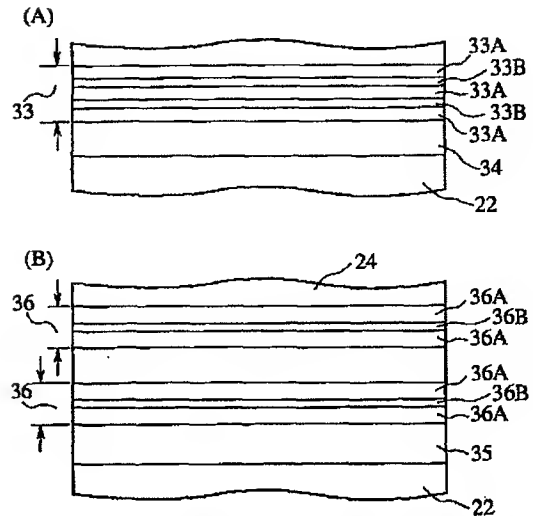
他の実施例を説明する為のHEMTを
表す要部切断側面図



- 21: 基板
- 22: バッファ層
- 23: チャンネル積層体
- 23A: 歪みチャンネル層
- 23B: 歪み緩和層
- 24: 電子供給層
- 25: 電極コンタクト層
- 25A: リセス
- 26: ゲート電極
- 27S: ソース電極
- 27D: ドレイン電極

【図4】

他の実施例を説明する為のHEMTを
表す要部切断側面図



- | | |
|---------------|---------------|
| 33: チャンネル積層体 | 35: 電子供給層 |
| 33A: 歪みチャンネル層 | 36: チャンネル積層体 |
| 33B: 歪み緩和層 | 36A: 歪みチャンネル層 |
| 34: 電子供給層 | 36B: 歪み緩和層 |
| | 37: 電子供給層 |